



Japanese Patent Application Publication No. Hei 5-259451

[0037]Next, the second embodiment of the invention will be described. Fig. 7 is a cross-sectional view along line m-m of Fig. 1(a) schematically showing a structure of a semiconductor device of the second embodiment of the invention. Fig. 8 is a cross-sectional view along line n-n of Fig. 1(a) schematically showing the structure of the semiconductor device of the second embodiment of the invention. Referring to these figures, the semiconductor device of the second embodiment has the structure that a second polysilicon film 1a is formed under the layer of metal having a high melting point or its silicide 2 of the semiconductor device of the first embodiment. This second polysilicon film 1a is formed on the separation oxide film 3 and the polysilicon film 1, having a uniform thickness. The description of the other structure will be omitted since it is the same as that of the first embodiment.

[0038]Next, the method of manufacturing the semiconductor device of the second embodiment of the invention will be described. After the process of the method of manufacturing the semiconductor device of the first embodiment of the invention shown in Fig. 3, the second polysilicon film 1a is formed on the surface of the separation oxide film 3 and the polysilicon film 1 to have an approximately uniform thickness. The description of the subsequent processes will be omitted since the processes are almost the same as those of the first embodiment of the invention.

[0039]Generally, the adhesion between the oxide film and the metal film is low. However, in the semiconductor device of the second embodiment, the second polysilicon film 1a is interposed between the separation oxide film 3 and the layer of metal having a high melting point or its silicide 2. This can increase the adhesion

between the films.

[0040]Furthermore, in the second embodiment of the invention, the thickness of the polysilicon film can be controlled by the two layers of the first polysilicon film 1 and the second polysilicon film 1a. Therefore, in the process shown in Fig. 3, it is possible to form the polysilicon film 1 to have an optimum thickness for selective oxidation and the second polysilicon film 1a to have an optimum thickness for the gate electrode wiring layer. This makes the freedom of designing the structure greater.

[0041]In addition, in the semiconductor device of the second embodiment of the invention, after the second polysilicon film 1a is formed, the layer of metal having a high melting point or its silicide 2 is formed. However, it is possible to form the gate electrode wiring layer formed of only the polysilicon films 1 and 1a without the layer of metal having a high melting point or its silicide 2 formed.

[0042]In the method of manufacturing the semiconductor device of the second embodiment of the invention, after the second polysilicon film 1a is formed, the gate electrode wiring layer formed of only the polysilicon films 1 and 1a is formed. After this gate electrode wiring layer is processed, the gate sidewall oxide film 6 is formed, or the source/drain diffusion region 7 is formed, metal having a high melting point such as Ti is deposited on the whole surface of the semiconductor substrate 4. After then, it is possible to form a silicide structure on the polysilicon films 1 and 1a of the gate electrode wiring layer and the silicon surface layer of the source/drain diffusion region 7 by thermal treatment.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-259451

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.<sup>5</sup>

H01L 29/784  
21/3205

識別記号

片内整理番号

FI

技術表示箇所

7377-4M

H01L 29/78

301 R

7735-4M

21/88

K

7735-4M

H01L 21/88

R

審査請求 未請求 請求項の数3(全12頁) 最終頁に続く

(21)出願番号 特願平4-250025

(22)出願日 平成4年(1992)9月18日

(31)優先権主張番号 特願平4-5070

(32)優先日 平4(1992)1月14日

(33)優先権主張国 日本(JP)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 岡田 克也

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

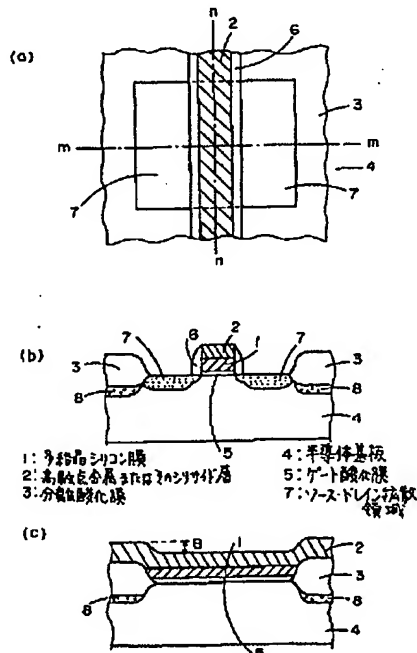
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 半導体基板と分離酸化膜の段差を緩和できる半導体装置およびその製造方法を提供する。

【構成】 分離酸化膜3は半導体基板4の主表面に形成され、かつ半導体基板4の主表面に対して段差を有している。MOSトランジスタはソース・ドレイン拡散領域7、ゲート酸化膜5、多結晶シリコン膜1および高融点金属またはそのシリサイド層2から構成されている。このMOSトランジスタは素子形成領域に形成されている。この素子形成領域は分離酸化膜3によって取囲まれている。また、MOSトランジスタのゲート電極配線層は素子形成領域から酸化膜3の上に延びるように形成されている。分離酸化膜3上でのゲート電極配線層の膜厚は素子形成領域上のゲート電極配線層の膜厚よりも小さい。



## 【特許請求の範囲】

【請求項1】 主表面を有する半導体基板と、  
前記半導体基板の主表面に形成され、かつ前記半導体基板の主表面に対して段差を有する分離酸化膜と、  
前記分離酸化膜によって取囲まれる素子形成領域に形成された電界効果トランジスタとを備え、  
前記電界効果トランジスタは、前記素子形成領域から前記分離酸化膜の上に延びるように形成されたゲート配線層を含んでおり、  
前記分離酸化膜上での前記ゲート配線層の膜厚は、前記素子形成領域上の前記ゲート配線層の膜厚よりも小さい、半導体装置。

【請求項2】 半導体基板の主表面の上に酸化膜を形成し、その酸化膜の上に多結晶シリコン膜を形成する工程と、

前記半導体基板と前記多結晶シリコン膜を選択的に酸化して、前記多結晶シリコン膜を取囲むように、かつ前記酸化膜の厚みを増加させるように分離酸化膜を形成する工程と、

前記分離酸化膜によって取囲まれた前記多結晶シリコン膜に不純物を導入して第1の導電層を形成する工程と、  
前記分離酸化膜と第1の導電層の上に第2の導電層を形成する工程と、

前記第1の導電層と前記第2の導電層を選択的に除去して、ゲート配線層を形成する工程とを備えた、半導体装置の製造方法。

【請求項3】 前記第1の導電層を形成する工程は、前記半導体基板の主表面からの高さが前記分離酸化膜とほぼ同じ高さを有するように前記多結晶シリコン膜の上のみ選択的に第2の多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜と前記第2の多結晶シリコン膜に不純物を導入する工程とを含む、請求項2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に関し、特に電界効果トランジスタを有する半導体装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】まず、従来の電界効果トランジスタを有する半導体装置について説明する。

【0003】図19(a)は、従来の半導体装置の概略構成を示す平面図、(b)は、図19(a)のq-q線に沿う断面図、(c)は、図19(a)のr-r線に沿う断面図である。

【0004】これらの図を参照して、半導体基板104の表面には、素子形成領域を分離するように分離酸化膜103が形成されている。分離酸化膜103に取囲まれる素子形成領域には、MOS(Metal Oxide Semiconduc-

tor)トランジスタが形成されている。

【0005】このMOSトランジスタは、1対のソース・ドレイン拡散領域107、ゲート酸化膜105、多結晶シリコン膜101と高融点金属またはそのシリサイド層102よりなるゲート電極配線層とを含んでいる。1対のソース・ドレイン拡散領域107は、分離酸化膜103によって分離される半導体基板104の表面に、所定の距離を介して形成されている。このソース・ドレイン拡散領域107は、高濃度と低濃度の2層からなるLDD(Lightly Doped Drain)構造を有している。1対のソース・ドレイン拡散領域107に挟まれる領域の表面上にゲート酸化膜105を介在して多結晶シリコン膜101が形成されている。この多結晶シリコン膜101の表面上に高融点金属またはそのシリサイド層102が形成されている。この多結晶シリコン膜101と高融点金属またはそのシリサイド層102よりなるゲート電極配線層は分離酸化膜103に取囲まれる領域(素子形成領域)を縦断するように形成されている。また多結晶シリコン膜101と高融点金属またはそのシリサイド層102は、分離酸化膜103上と素子形成領域上の両方に均一な厚みで形成されている。このように多結晶シリコン膜101と高融点金属またはそのシリサイド層102よりなるゲート電極配線層の側壁を被覆するようにゲート側壁酸化膜106が形成されている。このように、半導体基板104には、MOSトランジスタが形成されている。

【0006】また分離酸化膜103の下側領域であり半導体基板104内にはこのMOSトランジスタを他の素子から電気的に分離する効果を高める素子分離拡散領域108が形成されている。

【0007】次に、図19に示す従来の半導体装置の製造方法について説明する。図20～図24は、従来の半導体装置の製造方法を工程順に示す概略断面図である。まず図20を参照して、半導体基板104の表面全面に、薄い酸化膜115と多結晶シリコン膜111が順次形成される。この多結晶シリコン膜111の表面全面には、窒化膜109が形成される。この窒化膜109の表面全面には、フォトリソグ110が塗布され、露光処理などによりパターニングされる。このパターニングされたフォトリソグ110をマスクとして窒化膜109がエッチング除去され、窒化膜109が所望の形状にパターニングされる。パターニングされたフォトリソグ110をマスクとして、半導体基板104の表面にボロンイオンなどの不純物が注入される。この後、フォトリソグ110が除去される。次に、パターニングされた窒化膜109をマスクとして、窒化膜109から露出している部分が選択酸化される。

【0008】図21を参照して、この選択酸化により、半導体基板104の表面には、分離酸化膜103が形成される。この分離酸化膜103の表面は、酸化により体

積が増加するため半導体基板104の表面より高くなる。このため、半導体基板104と分離酸化膜103よりなる表面に段差が生じる。また、選択酸化により、素子分離拡散領域108が分離酸化膜103の下側領域であって半導体基板104内に形成される。この後、窒化膜109、多結晶シリコン膜111および薄い酸化膜115がエッチング除去される。

【0009】図22を参照して、半導体基板104の表面上に、薄い酸化膜105aが形成される。半導体基板104の表面全面に、高濃度に不純物が導入されて低抵抗化した多結晶シリコン膜101aが均一な厚みで形成される。この多結晶シリコン膜101の表面全面には、高融点金属またはそのシリサイド層102a（たとえばWSi膜など）が均一な厚みで形成される。

【0010】図23を参照して、写真製版およびエッチング技術により、高融点金属またはそのシリサイド層102aと多結晶シリコン膜101aが順次エッチング除去される。このエッチング除去により、多結晶シリコン膜101と高融点金属またはそのシリサイド層102よりなるゲート電極配線層が形成される。このゲート電極配線層は、素子形成領域を縦断するように形成されており、かつ半導体基板104と分離酸化膜103とから構成される段差に沿って均一な厚みで形成される。

【0011】図24を参照して、高融点金属またはそのシリサイド層102と多結晶シリコン膜101と分離酸化膜103をマスクとして半導体基板104に不純物が注入される。これにより、半導体基板104の表面には、LDD構造を構成する低濃度のソース・ドレイン拡散領域が形成される。この後、半導体基板104の表面全面に酸化膜が形成される。この酸化膜に異方性エッチングが施されることにより、多結晶シリコン膜101と高融点金属またはそのシリサイド層102の側壁を被覆するようにゲート側壁酸化膜106が形成される。この異方性エッチングにより、酸化膜105aは多結晶シリコン膜101の下側以外は除去されゲート酸化膜105となる。また、このエッチングにより素子形成領域の半導体基板104の表面が露出する。分離酸化膜103とゲート側壁酸化膜106と多結晶シリコン膜101と高融点金属またはそのシリサイド層102をマスクとして半導体基板104の表面に不純物が注入される。これにより、LDD構造を構成する高濃度のソース・ドレイン拡散領域が半導体基板104の表面に低濃度のソース・ドレイン拡散領域と接するように形成される。この低濃度と高濃度のソース・ドレイン拡散領域とによりLDD構造を有するソース・ドレイン拡散領域107が形成される。

【0012】上記のように従来の半導体装置は構成され、かつ製造される。

【0013】

【発明が解決しようとする課題】以上のような従来の半

導体装置において、図22に示されるように、多結晶シリコン膜101aは半導体基板104と分離酸化膜103の表面上に均一な厚みで形成される。また、この多結晶シリコン膜101aの表面上に高融点金属またはそのシリサイド層102aが均一な厚みで形成される。このため、高融点金属またはそのシリサイド層102aには分離酸化膜103と半導体基板104の段差分だけの表面段差Aが生じる。このように、高融点金属またはそのシリサイド層102aの表面に段差があると、これら2層をエッチング除去してゲート電極配線層を形成する場合、以下の問題点が生じる。

【0014】図22と図23を参照して、ゲート電極配線層101、102を形成するには、まず高融点金属またはそのシリサイド層102aの表面上にフォトリソが塗布される。このフォトリソは感光などさせられることによってパターンニングされる。しかしながら、フォトリソの下層にある高融点金属またはそのシリサイド層102aには、表面に段差が生じている。フォトリソの下層に段差があると、フォトリソの感光時において、下層にある高融点金属またはそのシリサイド層102aの表面における光の反射などの挙動が複雑となる。これによって、フォトリソの所望部分以外が感光することとなる。また、下層の段差によってレジスト膜厚に差が出るため、実質露光量に変化し、感光によるむらが大きくなる。このように、フォトリソの下層に段差があると、フォトリソを微細にパターンニングする際にフォトリソを所望の形状に感光させることが困難となる。したがって、ゲート電極配線層の精度のよい微細加工が困難になるという問題点があった。

【0015】また、図19(c)に示されるように、高融点金属またはそのシリサイド層102に表面段差Aが生じ、分離酸化膜103の上のゲート電極配線層101、102の膜厚が大きくなると、ゲート電極配線層101、102の上層に形成される絶縁層にも大きな表面段差が生じる。このため、絶縁層の表面をリフロー（平坦化）し難くなるという問題点もあった。

【0016】本発明は、上記のような問題点を解決するためになされたもので、ゲート電極配線層の表面段差が小さい半導体装置およびその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】請求項1に記載の本発明に従った半導体装置は、半導体基板と、分離酸化膜と、電界効果トランジスタとを備えている。半導体基板は主表面を有している。分離酸化膜は半導体基板の主表面に形成され、かつ半導体基板の主表面に対して段差を有している。電界効果トランジスタは、分離酸化膜によって取囲まれる素子形成領域に形成されている。また、この電界効果トランジスタは素子形成領域から分離酸化膜の

上に延びるように形成されたゲート配線層を含んでい  
る。分離酸化膜上でのゲート配線層の膜厚は、素子形成  
領域上のゲート配線層の膜厚よりも小さい。

【0018】請求項2に記載の本発明に従った半導体装  
置の製造方法では、半導体基板の主表面上に酸化膜が  
形成され、その酸化膜の上に多結晶シリコン膜が形成さ  
れる。半導体基板と多結晶シリコン膜が選択的に酸化さ  
れ、多結晶シリコン膜を取囲むように、かつ酸化膜の厚  
みを増加させるように分離酸化膜が形成される。分離酸  
化膜によって取囲まれた多結晶シリコン膜に不純物が導  
入されて第1の導電層が形成される。分離酸化膜と第1  
の導電層の上に第2の導電層が形成される。第1の導電  
層と第2の導電層が選択的に除去されて、ゲート配線層  
が形成される。

【0019】請求項3に記載の本発明の半導体装置の製  
造方法の好ましい局面によれば、第1の導電層を形成す  
る工程は、半導体基板の主表面からの高さが分離酸化膜  
とほぼ同じ高さを有するように多結晶シリコン膜の上に  
のみ選択的に第2の多結晶シリコン膜を形成する工程  
と、多結晶シリコン膜と第2の多結晶シリコン膜に不純  
物を導入する工程とを含んでいる。

【0020】

【作用】請求項1に記載の半導体装置によれば、ゲート  
配線層は素子形成領域から分離酸化膜の上に延びるよう  
に形成されている。また、分離酸化膜上でのゲート配線  
層の膜厚は、素子形成領域上のゲート配線層の膜厚より  
も小さい。このため、ゲート配線層により、半導体基板  
と分離酸化膜からなる段差が緩和される。このように分  
離酸化膜上でのゲート配線層の膜厚が素子形成領域上の  
膜厚より薄くでき、かつゲート配線層の半導体基板と分  
離酸化膜の境界部分での段差が緩和されるため、ゲート  
配線層の上層に形成される絶縁層においても、その表面  
段差が小さくなる。したがって、リフローが容易とな  
る。

【0021】請求項2に記載の半導体装置の製造方法によ  
れば、まず、多結晶シリコン膜を取囲むように、かつ  
酸化膜の厚みを増加させるように分離酸化膜が形成され  
る。この多結晶シリコン膜に不純物を導入して第1の導  
電層が形成される。この状態で、分離酸化膜は半導体基  
板の主表面に対して段差を有している。しかし、分離酸  
化膜に取囲まれる領域には、半導体基板の主表面上に第  
1の導電層が形成されている。この第1の導電層によ  
り、分離酸化膜と半導体基板の主表面の段差は緩和さ  
れ、表面段差が小さくなる。その結果、第1の導電層と  
分離酸化膜の上に形成される第2の導電層の表面段差も  
小さくなる。このように、第2の導電層の表面段差が小  
さくなるため、第2の導電層の表面上に塗布されたフォ  
トリジストを感光する場合、フォトリジスト中での光の  
反射などの挙動の複雑化を抑えることができる。したが  
って、フォトリジストの微細なパターンニングも可能とな

り、ゲート配線層の精度のよい微細加工も可能となる。

【0022】また、選択酸化により分離酸化膜を形成し  
た後に、多結晶シリコン膜と酸化膜を除去する工程を省  
くことができる。このため、製造工程の簡略化を図るこ  
とができる。

【0023】請求項3に記載の本発明の好ましい半導体  
装置の製造方法によれば、半導体基板の主表面からの高  
さが分離酸化膜とほぼ同じ高さを有するように多結晶シ  
リコン膜の上にのみ選択的に第2の多結晶シリコン膜が  
形成される。このため、分離酸化膜と第1の導電層とに  
より構成される表面にはほとんど段差は生じていない。  
その結果、第1の導電層と分離酸化膜の上に形成される  
第2の導電層にも表面段差はほとんど生じない。それゆ  
え、第2の導電層の表面上にフォトリジストを塗布・感  
光する場合、フォトリジスト中での光の反射などの挙動  
の複雑化が抑えられる。したがって、フォトリジストの  
微細なパターンニングも可能となり、ゲート配線の精度の  
よい微細加工も可能となる。

【0024】

【実施例】以下、本発明の実施例について図を用いて説  
明する。

【0025】図1(a)は、本発明の第1の実施例にお  
ける半導体装置の構成を概略的に示す平面図、(b)  
は、図1(a)のm-m線に沿う断面図、(c)は、図  
1(a)のn-n線に沿う断面図である。これらの図を  
参照して、半導体基板4の表面には、素子形成領域を取  
囲むように分離酸化膜3が形成されている。この分離酸  
化膜3に取囲まれる素子形成領域には、MOSTランジ  
スタが形成されている。

【0026】このMOSTランジスタは、1対のソース  
・ドレイン拡散領域7、ゲート酸化膜5、多結晶シリ  
コン膜1と高融点金属またはそのシリサイド層2よりなる  
ゲート電極配線層とを含んでいる。1対のソース・ドレ  
イン拡散領域7は、分離酸化膜3によって分離される半  
導体基板4の表面に所定の距離を介して形成されてい  
る。このソース・ドレイン拡散領域7は、低濃度と高濃  
度の2層構造よりなるLDD構造を有している。この1  
対のソース・ドレイン拡散領域7に挟まれる領域の表面  
上にはゲート酸化膜5を介して多結晶シリコン膜1が  
形成されている。この多結晶シリコン膜1は、分離酸化  
膜3によって取囲まれる領域(素子形成領域)にのみ形  
成されている。この多結晶シリコン膜1の表面上には高  
融点金属またはそのシリサイド層2が形成されている。  
この高融点金属またはそのシリサイド層2は素子形成領  
域上および分離酸化膜3上の双方に均一な厚みで形成さ  
れている。この多結晶シリコン膜1と高融点金属または  
そのシリサイド層2よりなるゲート電極配線層は、素子  
形成領域上では比較的厚く、分離酸化膜3上では比較的  
薄い膜厚を有している。このゲート電極配線層1、2の  
側壁を被覆するようにゲート側壁酸化膜6が形成されて

いる。このようにMOSトランジスタは構成されている。

【0027】なお、分離酸化膜3の下側領域であって半導体基板4内にはMOSトランジスタを他の素子から電氣的に分離する効果を高めるため素子分離拡散領域8が形成されている。

【0028】次に、本発明の第1の実施例における半導体基板の製造方法について説明する。

【0029】図2～図6は、本発明の第1の実施例における半導体装置の製造方法を工程順に示す概略断面図である。まず図2を参照して、半導体基板4の表面全面に薄い酸化膜5aと多結晶シリコン膜1が順次形成される。この多結晶シリコン膜1の表面全面に窒化膜9が形成される。この窒化膜9の表面上にはフォトレジスト10が塗布され、露光処理などにより所望の形状にパターニングされる。このパターニングされたフォトレジスト10をマスクとして窒化膜9が所望の形状にエッチング除去される。このエッチングにより、窒化膜9は所望の形状にパターニングされる。この後、パターニングされたフォトレジスト10をマスクとして半導体基板4の表面にボロンイオンなどが注入される。この後、フォトレジスト10が除去される。次に、パターニングされた窒化膜9をマスクとして、窒化膜9によって覆われていない領域が選択的に酸化される。

【0030】図3を参照して、この選択酸化により、半導体基板4の表面には、分離酸化膜3が形成される。この分離酸化膜3の表面は、酸化により体積が増加するため半導体基板4の表面より高くなる。この後、窒化膜9が除去される。この状態で、多結晶シリコン膜1は分離酸化膜3によって取囲まれる領域(素子形成領域)にのみ分布する。

【0031】図4を参照して、多結晶シリコン膜1には、高濃度の不純物が導入される。この不純物の導入により、多結晶シリコン膜1は低抵抗化する。この多結晶シリコン膜1および分離酸化膜3の表面全面に、WSi膜などの高融点金属またはそのシリサイド層2がほぼ均一な厚みで形成される。この際、半導体基板4と分離酸化膜3から構成される段差は多結晶シリコン膜1によって緩和されるため、高融点金属またはそのシリサイド層2の表面段差Bは比較的小さいものとなる。

【0032】図5を参照して、写真製版およびエッチング技術により、高融点金属またはそのシリサイド層2、多結晶シリコン膜1および薄い酸化膜5aが順次パターニングされる。このパターニングにより、多結晶シリコン膜1と高融点金属またはそのシリサイド層2よりなるゲート電極配線層とゲート酸化膜5が形成される。なお、上記の写真製版工程において、高融点金属またはそのシリサイド層2の表面上に塗布されたフォトレジストの感光は、下層である高融点金属またはそのシリサイド層2の表面段差Bが比較的小さなものであるため、比較

的正確に施すことができる。

【0033】図6を参照して、高融点金属またはそのシリサイド層2と多結晶シリコン膜1とゲート酸化膜5の3層と分離酸化膜3をマスクとして、半導体基板4の表面に不純物が導入される。この不純物の導入などにより、半導体基板4の表面には、LDD構造を構成する低濃度のソース・ドレイン拡散領域が形成される。次に、半導体基板4の表面全面に酸化膜が形成され、この酸化膜に異方性エッチングが施される。これにより、多結晶シリコン膜1と高融点金属またはそのシリサイド層2よりなるゲート電極配線層の側壁を被覆するようにゲート側壁酸化膜6が形成される。高融点金属またはそのシリサイド層2と多結晶シリコン膜1とゲート酸化膜5の3層と分離酸化膜3とゲート側壁酸化膜6をマスクとして、半導体基板4の表面に不純物が導入される。この不純物の導入などにより、半導体基板4の表面にはLDD構造を構成する高濃度のソース・ドレイン拡散領域が低濃度のソース・ドレイン拡散領域と接するように形成される。この高濃度と低濃度のソース・ドレイン拡散領域により、LDD構造を有するソース・ドレイン拡散領域7が形成される。

【0034】上記のように本発明の第1の実施例における半導体装置は構成され、かつ製造される。

【0035】上記の第1の実施例における半導体装置においては、図1に示されるようにゲート電極配線層の膜厚は素子形成領域上では比較的厚く、かつ分離酸化膜3上では比較的薄くなっている。このため、素子分離酸化膜3上でのゲート電極配線層の厚みを薄くすることが可能である。よって、このゲート電極配線層の上層に形成される絶縁層においても、その表面段差を小さくすることができる。したがって、この上層に形成される絶縁層をリフローすることが容易となる。

【0036】また上記の第1の実施例における半導体装置の製造方法においては、図3に示されるように分離酸化膜3に取囲まれる領域にのみ多結晶シリコン膜1が形成される。このため、半導体基板4と分離酸化膜3により構成される段差は多結晶シリコン膜1により緩和される。よって図4に示すように、多結晶シリコン膜1と分離酸化膜3の表面全面に形成される高融点金属またはそのシリサイド層2の表面段差Bも小さくなる。この高融点金属またはそのシリサイド層2の表面段差Bが小さくなるため、この高融点金属またはそのシリサイド層2の表面上に塗布されたフォトレジストを感光させる際にフォトレジスト中での光の反射などの挙動の複雑化が抑えられ、それによってフォトレジストを正確にパターニングすることが容易となる。

【0037】次に、本発明の第2の実施例について説明する。図7は、本発明の第2の実施例における半導体装置の構成を概略的に示す図1(a)のm-m線に沿う断面に対応した図である。また図8は、本発明の第2の実

施例による半導体装置の構成を概略的に示す図1 (a) のn-n線に沿う断面に対応した図である。これらの図を参照して、第2の実施例による半導体装置では、第1の実施例による半導体装置の高融点金属またはそのシリサイド層2の下層に第2の多結晶シリコン膜1aを形成した構成となっている。この第2の多結晶シリコン膜1aは、分離酸化膜3上と多結晶シリコン膜1上に均一な厚みで形成されている。なお、それ以外の構成については本発明の第1の実施例と同様の構成であるのでその説明は省略する。

【0038】次に、本発明の第2の実施例による半導体装置の製造方法について説明する。図3で示される本発明の第1の実施例による半導体装置の製造方法の工程の後に、分離酸化膜3と多結晶シリコン膜1の表面上に、第2の多結晶シリコン膜1aがほぼ均一な厚みで形成される。この後の工程については、本発明の第1の実施例とほぼ同様の工程であるのでその説明は省略する。

【0039】一般に酸化膜と金属膜の密着性は悪い。しかし、第2の実施例による半導体装置では、分離酸化膜3と高融点金属またはそのシリサイド層2の間に第2の多結晶シリコン膜1aが介在している。このため、各膜間の密着性を向させることができる。

【0040】さらに、本発明の第2の実施例では、多結晶シリコン膜の厚みは第1の多結晶シリコン膜1と第2の多結晶シリコン膜1aの2層で制御することができる。よって、図3に示される工程で、多結晶シリコン膜1を選択酸化に最適な膜厚で形成し、かつ第2の多結晶シリコン膜1aをゲート電極配線層に最適な膜厚で形成することができる。したがって、構造設計上の自由度が大きくなる。

【0041】加えて、上記の本発明の第2の実施例による半導体装置においては、第2の多結晶シリコン膜1aを形成した後、高融点金属またはそのシリサイド層2が形成される。しかし、高融点金属またはそのシリサイド層2を形成せずに多結晶シリコン膜1、1aのみのゲート電極配線層とすることも可能である。

【0042】本発明の第2の実施例における半導体装置の製造方法において、第2の多結晶シリコン膜1aを形成した後に、多結晶シリコン膜1、1aのみのゲート電極配線層が形成される。このゲート電極配線層の加工後またはゲート側壁酸化膜6の形成後またはソース・ドレイン拡散領域7の形成後に半導体基板4の表面全面に、Tiなどの高融点金属が堆積される。この後、熱処理が加えられることにより、ゲート電極配線層の多結晶シリコン膜1、1aとソース・ドレイン拡散領域7のシリコン表面層にシリサイド構造が形成されてもよい。

【0043】次に、本発明の第3の実施例について説明する。図9(a)は、本発明の第3の実施例における半導体装置の構成を概略的に示す平面図、(b)は、図9(a)のo-o線に沿う断面図、(c)は、図9(a)

のp-p線に沿う断面図である。これらの図を参照して、半導体基板54の表面には、素子形成領域を取囲むように分離酸化膜3が形成されている。この分離酸化膜3に取囲まれる素子形成領域にMOSトランジスタが形成されている。

【0044】このMOSトランジスタは、1対のソース・ドレイン拡散領域57、ゲート酸化膜55および第1の多結晶シリコン膜51と第2の多結晶シリコン膜61と高融点金属またはそのシリサイド層52よりなるゲート電極配線層とを含んでいる。素子形成領域には、1対のソース・ドレイン拡散領域57が所定の距離を介して形成されている。このソース・ドレイン拡散領域57は、低濃度と高濃度の2層構造よりなるLDD構造を有している。この1対のソース・ドレイン拡散領域57に挟まれる領域の表面上には、ゲート酸化膜55を介して第1の多結晶シリコン膜51と第2の多結晶シリコン膜61が形成されている。この第1の多結晶シリコン膜51と第2の多結晶シリコン膜61は、分離酸化膜53に取囲まれる領域、すなわち素子形成領域にのみ形成されている。また第2の多結晶シリコン膜61と分離酸化膜53の半導体基板54からの高さはほぼ同じである。このため、分離酸化膜53と第2の多結晶シリコン膜61により構成される表面には、ほとんど表面段差は生じていない。この表面段差のほとんどない第2の多結晶シリコン膜61と分離酸化膜53の表面上に高融点金属またはそのシリサイド層52が均一な厚みで形成されている。この第1と第2の多結晶シリコン膜51、61と高融点金属またはそのシリサイド層52よりなるゲート電極配線層の側壁を被覆するようにゲート側壁酸化膜56が形成されている。このようにMOSトランジスタは形成されている。

【0045】なお、分離酸化膜53の下側領域であって半導体基板54内には、MOSトランジスタを他の素子から電気的に分離する効果を高めるため素子分離拡散領域58が形成されている。

【0046】次に、本発明の第3の実施例における半導体装置の製造方法について説明する。

【0047】図10～図15は、本発明の第3の実施例における半導体装置の製造方法を工程順に示す概略断面図である。まず図10を参照して、半導体基板54の表面全面に、薄い酸化膜55aと第1の多結晶シリコン膜51が順次形成される。この多結晶シリコン膜51の表面全面に窒化膜59が形成される。この窒化膜59の表面上にはフォトリソグ60が塗布され、露光処理などにより所望の形状にパターニングされる。このパターニングされたフォトリソグ60をマスクとして、窒化膜59がエッチング除去される。このエッチングにより、窒化膜59が所望の形状にパターニングされる。パターニングされたフォトリソグ60をマスクとして、半導体基板54の表面にボロンイオンなどが注入される。そ

の後、フォトリソグレイド60が除去される。パターニングされた窒化膜59をマスクとして、窒化膜59に覆われていない領域が選択的に酸化される。

【0048】図11を参照して、この選択酸化により、半導体基板54の表面には、分離酸化膜53が形成される。分離酸化膜53の表面は、酸化により体積が増加するための半導体基板104の表面より高くなる。この後、窒化膜59が除去される。

【0049】図12を参照して、第1の多結晶シリコン膜51の表面上にのみ選択的に第2の多結晶シリコン膜61が選択CVD法により成長させられる。この選択CVD法では、たとえば反応性ガスとしてシラン(SiH<sub>4</sub>)系のガスが用いられる。この選択CVD法において、半導体基板54からの高さが分離酸化膜53とほぼ同じとなるように第2の多結晶シリコン膜61を成長させる条件が選ばれる。これにより、分離酸化膜53と第2の多結晶シリコン膜61により構成される表面は表面段差をほとんど有しない形状となる。この第1の多結晶シリコン膜51と第2の多結晶シリコン膜61の双方に高濃度の不純物が導入される。この不純物の導入により、第1と第2の多結晶シリコン膜51と61は低抵抗化する。

【0050】図13を参照して、この表面段差をほとんど有しない分離酸化膜53と第2の多結晶シリコン膜61により構成される表面全面にWSi膜などの高融点金属またはそのシリサイド層52が形成される。この高融点金属またはそのシリサイド層52の表面には、下層の分離酸化膜53と第2の多結晶シリコン膜61よりなる表面に段差がないため、ほとんど段差は生じない。

【0051】図14を参照して、写真製版およびエッチング技術により、高融点金属またはそのシリサイド層52、第2と第1の多結晶シリコン膜61、51が順次パターニングされる。このパターニングにより、第1と第2の多結晶シリコン膜51、61と高融点金属またはそのシリサイド層52よりなるゲート電極配線層が形成される。

【0052】図15を参照して、第1と第2の多結晶シリコン膜51、61と高融点金属またはそのシリサイド層52の3層と分離酸化膜53をマスクとして、半導体基板4の表面に不純物が導入される。この不純物の導入により、半導体基板4の表面には、LDD構造を構成する低濃度のソース・ドレイン拡散領域が形成される。次に、半導体基板54の表面全面に酸化膜が形成され、この酸化膜が異方性エッチングされる。このエッチングにより、第1と第2の多結晶シリコン膜51、61と高融点金属またはそのシリサイド層2よりなるゲート電極配線層の側壁を被覆するようにゲート側壁酸化膜56が形成される。また、このエッチングにより、酸化膜55aはゲート酸化膜55となる。ゲート酸化膜55、第1と第2の多結晶シリコン膜51、61と高融点金属または

そのシリサイド層52の4層と分離酸化膜53とゲート側壁酸化膜56をマスクとして半導体基板54の表面に不純物が導入される。この不純物の導入により、半導体基板4の表面には、LDD構造を構成する高濃度のソース・ドレイン拡散領域が低濃度のソース・ドレイン拡散領域と接するように形成される。この高濃度と低濃度のソース・ドレイン拡散領域によりLDD構造を有するソース・ドレイン拡散領域57が形成される。

【0053】上記のように本発明の第3の実施例における半導体装置は構成され、かつ製造される。

【0054】本発明の第3の実施例における半導体装置においては、第1の実施例と同様、ゲート電極配線層は、素子形成領域上ではその厚みが厚く、かつ分離酸化膜53上ではその厚みが比較的薄い構成を有している。このため、第1の実施例とほぼ同様の効果を示す。すなわち、ゲート電極配線層の上層に形成される絶縁層のリフローが容易に行なうことができる。

【0055】また上記の第3の実施例における半導体装置の製造方法においては、図12に示されるように第1と第2の多結晶シリコン膜51、61は分離酸化膜3に取囲まれる領域にのみ形成され、かつ第2の多結晶シリコン膜61は分離酸化膜53とほぼ同等の高さを有している。このように分離酸化膜53と第2の多結晶シリコン膜61の表面の高さがほぼ同じであるため、分離酸化膜53と第2の多結晶シリコン膜61により構成される表面にはほとんど表面段差は生じない。よって図13に示すように分離酸化膜53と第2の多結晶シリコン膜61の表面全面に形成された高融点金属またはそのシリサイド層2の表面には、ほとんど表面段差はなく、ほぼ平坦な表面が得られる。よって、第2の多結晶シリコン膜61の表面上にフォトリソグレイドが塗布されて、感光される場合、フォトリソグレイド中での光の反射などの挙動の複雑化が抑えられる。したがって、フォトリソグレイドの微細なパターニングが可能となり、ゲート配線の精度のよい微細加工も可能となる。

【0056】次に、本発明の第4の実施例について説明する。図16は、本発明の第4の実施例における半導体装置の構成を概略的に示す図9(a)のo-o線に沿う断面に対応した図である。また図17は、本発明の第4の実施例における半導体装置の構成を概略的に示す図9(a)のp-p線に沿う断面に対応する図である。これらの図を参照して、第4の実施例における半導体装置では、第3の実施例による半導体装置の高融点金属またはそのシリサイド層52の下層に第3の多結晶シリコン膜61aを形成した構成となっている。この第4の多結晶シリコン膜61aは、分離酸化膜53上と素子形成領域上に均一な厚みで形成されている。なお、それ以外の構成については本発明の第1の実施例とほぼ同様の構成であるのでその説明は省略する。

【0057】次に、本発明の第4の実施例における半導

体装置の製造方法について説明する。

【0058】図12で示される本発明の第3の実施例における半導体装置の製造方法の工程の後に、分離酸化膜53と第2の多結晶シリコン膜61の表面全面に、第3の多結晶シリコン膜61aがほぼ均一な厚みで形成される。この第3の多結晶シリコン膜61aの表面全面にWSi膜などの高融点金属またはそのシリサイド層52が形成される。写真製版およびエッチング技術により、高融点金属またはそのシリサイド層52、第3と第2と第1の多結晶シリコン膜61a、61、51が順次エッチング除去され、図18に示される状態となる。この後の工程については、本発明の第3の実施例とほぼ同様の工程であるのでその説明は省略する。

【0059】一般に酸化膜と金属膜の密着性は悪い。しかし、第4の実施例における半導体装置では、分離酸化膜53と高融点金属またはそのシリサイド層52の間に第3の多結晶シリコン膜61aが介在している。このため、各膜間の密着性を向上させることができる。

【0060】さらに、本発明の第4の実施例における半導体装置においては、第3の多結晶シリコン膜61aを形成した後に高融点金属またはそのシリサイド層52が形成される。しかし、高融点金属またはそのシリサイド層52を形成せずに、第1、第2および第3の多結晶シリコン膜51、61、61aよりなる多結晶シリコン膜のみのゲート電極配線層とすることも可能である。

【0061】加えて、本発明の第4の実施例における半導体装置の製造方法において、第3の多結晶シリコン膜61aを形成した後に、多結晶シリコン膜のみのゲート電極配線層が形成される。このゲート電極配線層の加工後またはゲート側壁酸化膜56の形成後またはソース・ドレイン拡散領域57の形成後に半導体基板54の表面全面に、Tiなどの高融点金属が堆積される。この後、熱処理が加えられることにより、ゲート電極配線層の多結晶シリコン膜61a、60、51とソース・ドレイン拡散領域57のシリコン表面層にシリサイド構造が形成されてもよい。

【0062】

【発明の効果】請求項1に記載の半導体装置によれば、電界効果トランジスタのゲート配線層が、素子形成領域から分離酸化膜の上に延びるように形成されている。また、分離酸化膜上でのゲート配線層の膜厚は、素子形成領域のゲート配線層の膜厚よりも小さい。このため、半導体基板の主表面に対する分離酸化膜の段差が緩和される。よって、上層に絶縁層が形成された場合、その絶縁層の表面段差も小さくなる。したがって、リフローが容易にできる。

【0063】請求項2に記載の半導体装置の製造方法によれば、まず、多結晶シリコン膜を取囲むように、かつ酸化膜の厚みを増加させるように分離酸化膜が形成される。このため、ゲート配線層加工の際に、塗布されるフ

ォトレジストの下層の段差が小さくなる。したがって、フォトレジストの微細なパターニングが可能となり、ゲート配線層の精度のよい微細加工が可能となる。

【0064】また、分離酸化膜形成後に多結晶シリコン膜と酸化膜を去除する工程が必要ない。したがって、製造工程の簡略化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体装置の構成を概略的に示す平面図(a)、図1(a)のm-m線に沿う断面図(b)、図1(a)のn-n線に沿う断面図(c)である。

【図2】本発明の第1の実施例における半導体装置の製造方法の第1工程を示す図1(a)のm-m線に沿う概略断面図である。

【図3】本発明の第1の実施例における半導体装置の製造方法の第2工程を示す図1(a)のm-m線に沿う概略断面図である。

【図4】本発明の第1の実施例における半導体装置の製造方法の第3工程を示す図1(a)のm-m線に沿う概略断面図である。

【図5】本発明の第1の実施例における半導体装置の製造方法の第4工程を示す図1(a)のm-m線に沿う概略断面図である。

【図6】本発明の第1の実施例における半導体装置の製造方法の第5工程を示す図1(a)のm-m線に沿う概略断面図である。

【図7】本発明の第2の実施例における半導体装置の構成を概略的に示す図1(a)のm-m線に沿う断面に対応した図である。

【図8】本発明の第2の実施例における半導体装置の構成を概略的に示す図1(a)のn-n線に沿う断面に対応した図である。

【図9】本発明の第3の実施例における半導体装置の構成を概略的に示す平面図(a)、図9(a)のo-o線に沿う断面図(b)、図9(a)のp-p線に沿う断面図(c)である。

【図10】本発明の第3の実施例における半導体装置の製造方法の第1工程を示す図9(a)のo-o線に沿う概略断面図である。

【図11】本発明の第3の実施例における半導体装置の製造方法の第2工程を示す図9(a)のo-o線に沿う概略断面図である。

【図12】本発明の第3の実施例における半導体装置の製造方法の第3工程を示す図9(a)のo-o線に沿う概略断面図である。

【図13】本発明の第3の実施例における半導体装置の製造方法の第4工程を示す図9(a)のo-o線に沿う概略断面図である。

【図14】本発明の第3の実施例における半導体装置の製造方法の第5工程を示す図9(a)のo-o線に沿う

概略断面図である。

【図15】本発明の第3の実施例における半導体装置の製造方法の第6工程を示す図9(a)のo-o線に沿う概略断面図である。

【図16】本発明の第4の実施例における半導体装置の構成を概略的に示す図9(a)のo-o線に沿う断面に対応する図である。

【図17】本発明の第4の実施例における半導体装置の構成を概略的に示す図9(a)のp-p線に沿う断面に対応する図である。

【図18】本発明の第4の実施例における半導体装置の製造方法の特徴的な工程を示す図9(a)のo-o線に沿う断面に対応する図である。

【図19】従来の半導体装置の構成を概略的に示す平面図(a)、図19(a)のq-q線に沿う断面図(b)、図19(a)のr-r線に沿う断面図(c)である。

【図20】従来の半導体装置の製造方法の第1工程を示す図19(a)のq-q線に沿う断面図である。

【図21】従来の半導体装置の製造方法の第2工程を示す図19(a)のq-q線に沿う断面図である。

【図22】従来の半導体装置の製造方法の第3工程を示す図19(a)のq-q線に沿う断面図である。

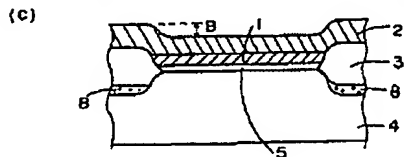
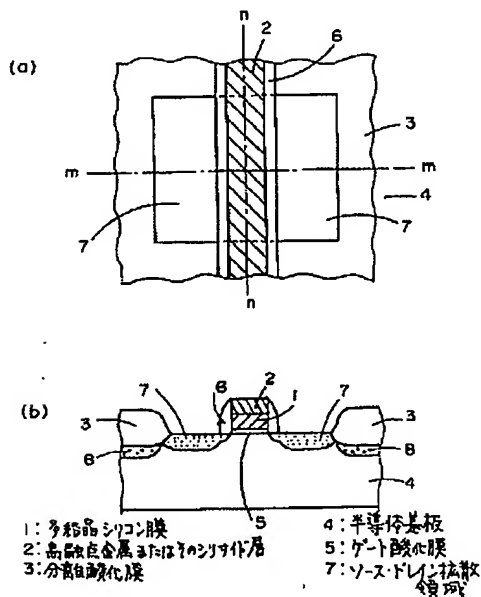
【図23】従来の半導体装置の製造方法の第4工程を示す図19(a)のq-q線に沿う断面図である。

【図24】従来の半導体装置の製造方法の第5工程を示す図19(a)のq-q線に沿う断面図である。

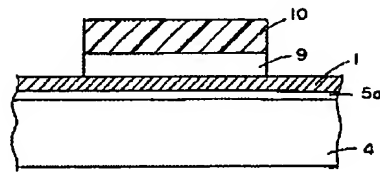
【符号の説明】

- 1 多結晶シリコン膜
- 1a 第2の多結晶シリコン膜
- 2、52 高融点金属またはそのシリサイド層
- 3、53 分離酸化膜
- 4、54 半導体基板
- 5、55 ゲート酸化膜
- 7、57 ソース・ドレイン拡散領域
- 51 第1の多結晶シリコン膜
- 61 第2の多結晶シリコン膜
- 61a 第3の多結晶シリコン膜

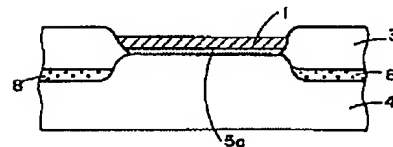
【図1】



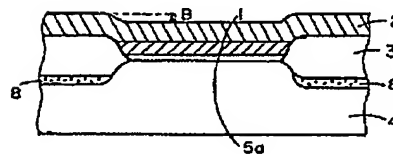
【図2】



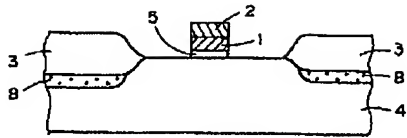
【図3】



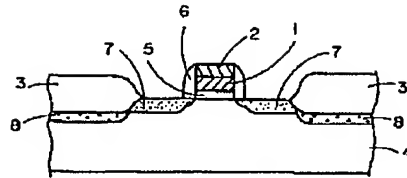
【図4】



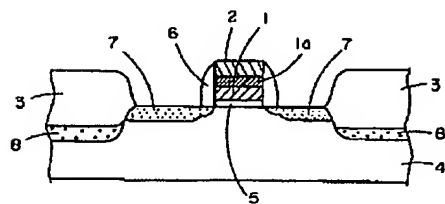
【図5】



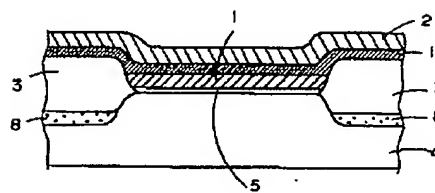
【図6】



【図7】

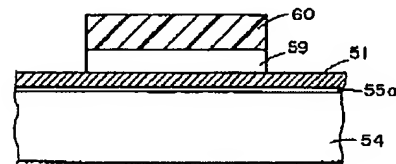


【図8】

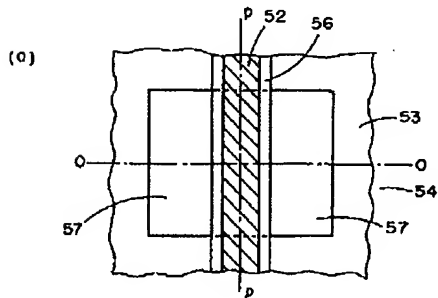


10: 第2a多結晶シリコン膜

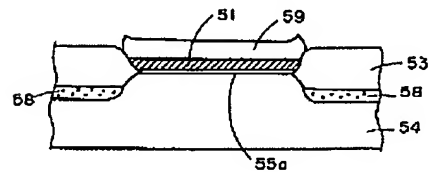
【図10】



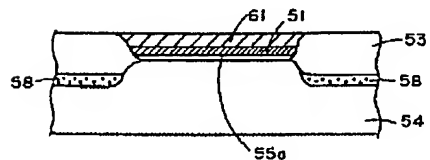
【図9】



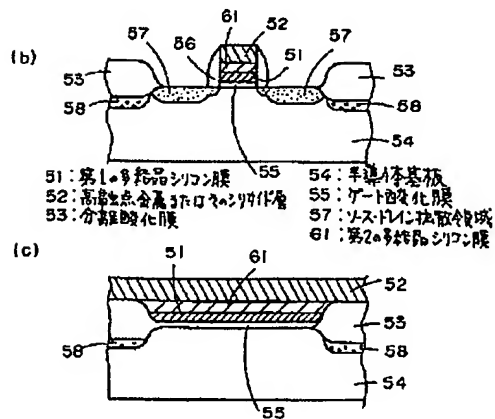
【図11】



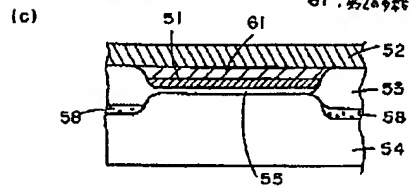
【図12】



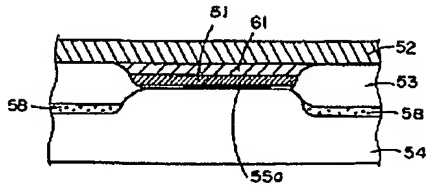
【図21】



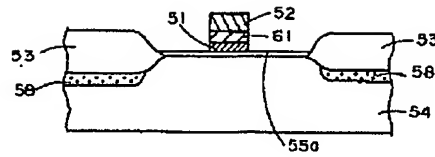
51: 第1a多結晶シリコン膜  
 52: 高融点金属シリコン膜  
 53: 分離酸化膜  
 54: 半導体基板  
 55: ゲート酸化膜  
 57: n+領域  
 61: 第2a多結晶シリコン膜



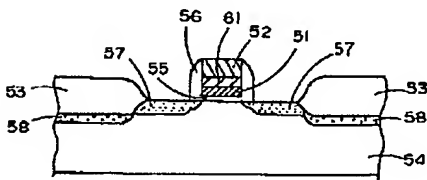
【図13】



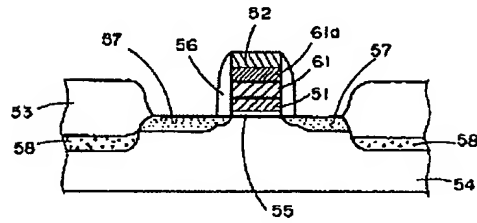
【図14】



【図15】

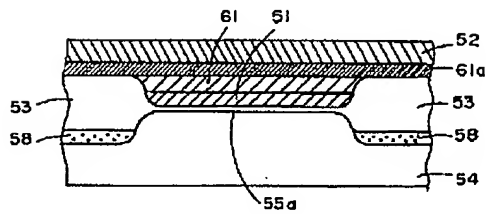


【図16】

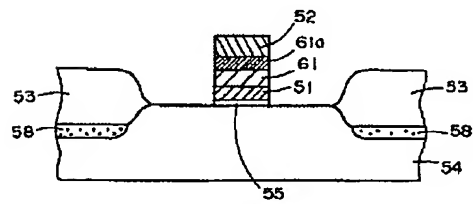


61a: 第3A多結晶シリコン膜

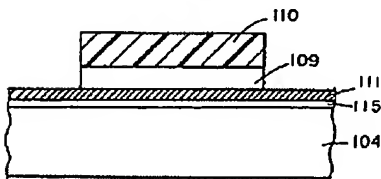
【図17】



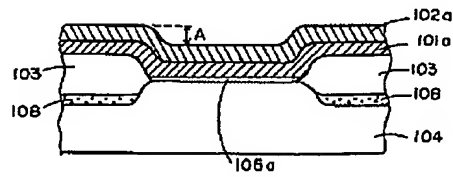
【図18】



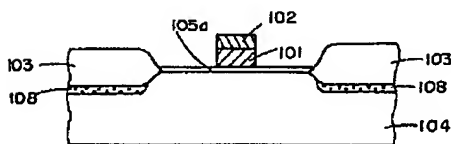
【図20】



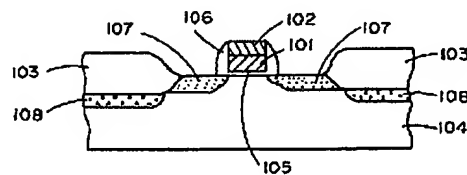
【図22】



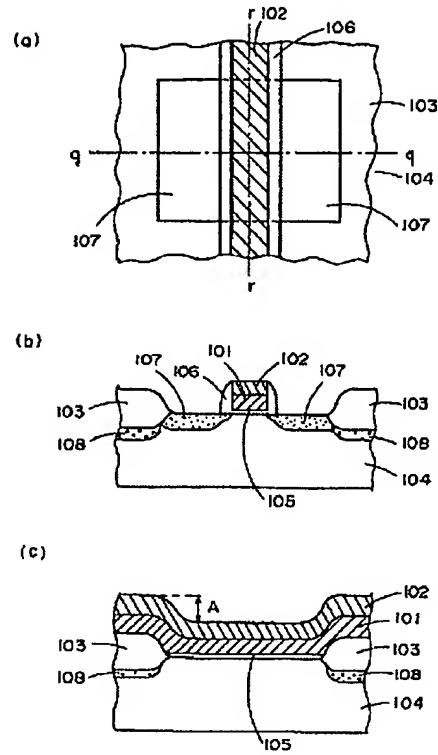
【図23】



【図24】



【図19】




---

フロントページの続き

(51)Int.Cl.<sup>5</sup>      識別記号   庁内整理番号   FI      技術表示箇所  
                     7377- 4M                      29/78      3 0 1 X